

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2003-273206
(P2003-273206A)

(43) 公開日 平成15年9月26日 (2003.9.26)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ト (参考)
H 0 1 L 21/76		H 0 1 L 27/08	3 3 1 A 5 F 0 3 2
27/08	3 3 1	21/76	V 5 F 0 4 8

審査請求 未請求 請求項の数10 O L (全 15 頁)

(21) 出願番号 特願2002-74871(P2002-74871)

(22) 出願日 平成14年3月18日 (2002.3.18)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 大田 裕之

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 入山 靖徳

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 100091340

弁理士 高橋 敬四郎 (外1名)

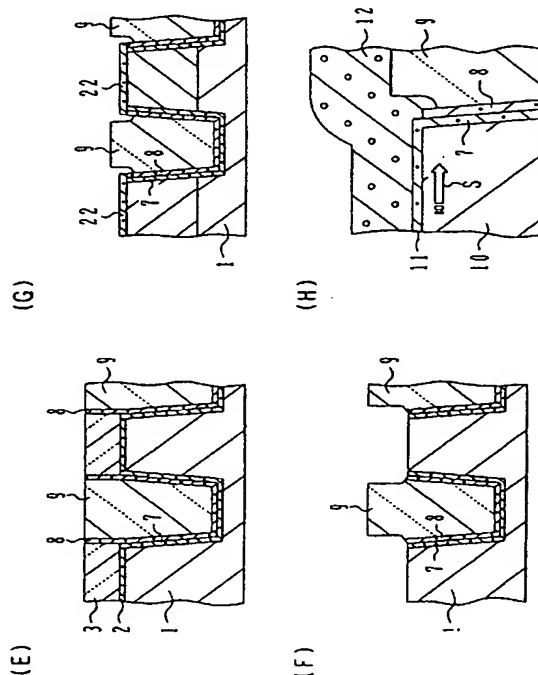
最終頁に続く

(54) 【発明の名称】 半導体装置とその製造方法

(57) 【要約】

【課題】 良好なトランジスタ特性が得られる、S T Iを用いた半導体装置を提供する。

【解決手段】 半導体装置は、半導体素子を形成したシリコン基板1と、シリコン基板に形成され、表面から次第に幅が狭くなる台形状の断面形状を有し、シリコン基板中の活性領域を分離する素子分離用トレンチ6と、トレンチ表面に形成され、1～5 nmの厚さを有する酸化シリコン膜または窒化酸化シリコン膜の第1ライナ絶縁層7と、第1ライナ絶縁層の上に形成され、2～8 nmの厚さを有する窒化シリコン膜の第2ライナ絶縁層8と、第2ライナ絶縁層の画定する凹部を埋め込む素子分離領域9と、を有する。



【特許請求の範囲】

【請求項 1】 半導体素子を形成したシリコン基板と、前記シリコン基板に形成され、表面から次第に幅が狭くなる台形状の断面形状を有し、前記シリコン基板中の活性領域を分離する素子分離用トレンチと、前記トレンチ表面に形成され、1～5 nmの厚さを有する酸化シリコン膜または窒化酸化シリコン膜の第1ライナ絶縁層と、前記第1ライナ絶縁層の上に形成され、2～8 nmの厚さを有する窒化シリコン膜の第2ライナ絶縁層と、前記第2ライナ絶縁層の画定する凹部を埋め込む素子分離領域と、を有する半導体装置。

【請求項 2】 前記第2ライナ絶縁層の上端が、前記シリコン基板の表面から約10 nm以下の距離引き下がっている請求項1記載の半導体装置。

【請求項 3】 前記第1ライナ絶縁層および第2ライナ絶縁層が、前記トレンチの側壁から前記活性領域の上面に延びている請求項1記載の半導体装置。

【請求項 4】 半導体素子を形成したシリコン基板と、前記シリコン基板に形成され、表面から次第に幅が狭くなる略台形状であって、上部が滑らかに外側に広がる断面形状を有し、前記シリコン基板中に肩部が丸められた活性領域を画定し、該活性領域を分離する素子分離用トレンチと、前記トレンチ表面上方に形成され、2～8 nmの厚さを有する窒化シリコン膜のライナ絶縁層と、前記ライナ絶縁層の画定する凹部を埋め込む素子分離領域と、を有する半導体装置。

【請求項 5】 (a) シリコン基板表面上に酸化シリコン膜、窒化シリコン膜を含む研磨用ストップ層を形成する工程と、

(b) マスクを用いて前記ストップ層およびシリコン基板をエッチングし、トレンチを形成する工程と、

(c) 前記トレンチ内に露出したシリコン基板表面に厚さ1～5 nmの酸化シリコン膜または窒化酸化シリコン膜の第1ライナ絶縁層を形成する工程と、

(d) 前記第1ライナ絶縁層上に厚さ2～8 nmの窒化シリコン膜の第2ライナ絶縁層を形成する工程と、

(e) 前記第2ライナ絶縁層の画定する凹部を埋め込んで、前記シリコン基板上に素子分離層を堆積する工程と、

(f) 前記ストップ層を研磨用ストップとし、前記素子分離層の不要部を研磨して除去する工程と、

(g) 前記ストップ層をエッチングする工程と、を含む半導体装置の製造方法。

【請求項 6】 前記工程 (b) と (c) の間に、

(h) 前記ストップ層の酸化シリコン膜をサイドエッチングして引き込み部を形成する工程を含む請求項5記載の半導体装置の製造方法。

【請求項 7】 前記工程 (c) 、 (d) が前記引込部を

埋め戻さないように前記ストップ層の酸化シリコン膜、第1ライナ絶縁層、第2ライナ絶縁層の厚さが選択されている請求項6記載の半導体装置の製造方法。

【請求項 8】 前記工程 (b) と (c) の間に、

(i) 前記ストップ層の窒化シリコン膜をエッチングして後退させ、下の酸化シリコン膜の上面を一部露出する工程、を含む請求項5記載の半導体装置の製造方法。

【請求項 9】 前記ストップ層が、酸化シリコン膜、アモルファスシリコン膜、窒化シリコン膜を含み、前記工程 (b) と (c) の間に、

(j) 前記アモルファスシリコン膜をサイドエッチして引込部を形成する工程、を含む請求項5記載の半導体装置の製造方法。

【請求項 10】 (a) シリコン基板表面上に酸化シリコン膜、窒化シリコン膜を含む研磨用ストップ層を形成する工程と、

(b) マスクを用いて前記ストップ層およびシリコン基板をエッチングし、活性領域を画定する素子分離領域にトレンチを形成する工程と、

(c) 前記ストップ層の酸化シリコン膜をサイドエッチングし、端部を後退させる工程と、

(d) シリコンに対し、エッチングを行い、前記後退した端部によって露出した前記活性領域肩部を丸める工程と、

(e) 前記シリコン基板上に厚さ2～8 nmの窒化シリコン膜のライナ絶縁層を形成する工程と、

(f) 前記ライナ絶縁層の画定する凹部を埋め込んで、前記シリコン基板上に素子分離層を堆積する工程と、

(g) 前記ストップ層を研磨用ストップとし、前記素子分離層の不要部を研磨して除去する工程と、

(h) 前記ストップ層をエッチングする工程と、を含む半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置とその製造方法に関し、特にシャロートレンチアイソレーション (STI) を有する半導体装置とその製造方法に関する。

【0002】

【従来の技術】 半導体装置における素子分離方法の1つとして、局所酸化 (local oxidation of silicon、LOCOS) が知られている。

【0003】 局所酸化は、シリコン基板上にバッファ層として酸化シリコン膜を形成した後、シリコン窒化膜を酸化防止マスク層として形成し、シリコン窒化膜をパターンニングした後シリコン基板の表面を熱酸化する技術である。

【0004】 シリコン基板を熱酸化する際、酸素、水分等の酸化種がバッファ酸化シリコン膜中にも侵入し、窒化シリコン膜下のシリコン基板表面も酸化させ、バース

ピークと呼ばれる鳥の嘴状の酸化シリコン領域を形成する。バースピークの形成された領域は、実質的に素子形成領域（活性領域）として使用できなくなるため、素子形成領域が狭くなる。

【0005】又、種々の寸法の開口を有する窒化シリコン膜を形成し、基板表面を熱酸化すると、開口部寸法の狭いシリコン基板表面に形成される酸化シリコン層の厚さは開口部寸法の広いシリコン基板表面に形成される酸化シリコン層の厚さよりも小さくなる。これをシニング（thinning）と呼ぶ。

【0006】半導体装置の微細化に伴い、バースピークやシニングにより、半導体基板の全面積中で素子形成領域として使用できない面積が増加する。すなわち、素子形成領域が実質的に狭められる割合が増加し、半導体装置の高集積化の妨げとなる。

【0007】素子分離領域を形成する技術として、半導体基板表面にトレンチを形成し、トレンチ内に絶縁物や多結晶シリコンを埋め込むトレンチアイソレーション（TI）技術が知られている。この方法は、従来、深い素子分離領域を必要とするバイポーラトランジスタLSIに用いられていた。

【0008】バースピーク、シニングが共に生じないため、トレンチアイソレーションのMOSトランジスタLSIへの適用が進んでいる。MOSトランジスタLSIでは、バイポーラトランジスタLSI程深い素子分離は必要としないため、深さ0.1～1.0μm程度の比較的浅い溝で素子分離を行うことができる。この構造をシャロートレンチアイソレーション（STI）と呼ぶ。

【0009】図13、図14を参照して、STI形成工程について説明する。図13（A）に示すように、シリコン基板1表面上に、例えば厚さ10nmの酸化シリコン層2を熱酸化により形成する。この酸化シリコン層2の上に、例えば厚さ100～150nmの窒化シリコン層3を化学気相堆積（CVD）により形成する。酸化シリコン層2は、シリコン基板1と窒化シリコン層3の間の応力を緩和するバッファ層として機能する。窒化シリコン層3は、後の研磨工程においてストップ層としても機能する。

【0010】窒化シリコン層3の上に、レジストパターン4を形成する。レジストパターン4の画定する開口部は、素子分離領域を形成する領域を画定する。レジストパターン4下方のシリコン基板の領域は、素子を形成する素子形成領域となる。

【0011】レジストパターン4をエッチングマスクとし、開口部に露出した窒化シリコン層3、その下の酸化シリコン層2、その下のシリコン基板1をリアクティブイオンエッチング（RIE）により例えば深さ0.5μm程度エッチングし、トレンチ6を形成する。

【0012】図13（B）に示すように、トレンチ6内に露出したシリコン基板表面を熱酸化し、例えば厚さ1

0nmの酸化シリコン層7を形成する。

【0013】図13（C）に示すように、例えば高密度プラズマ（HDP）CVDにより、トレンチを埋め込んでシリコン基板上に酸化シリコン層9を形成する。素子分離領域となる酸化シリコン層9を緻密化するために、例えば窒素雰囲気中900～1100℃でシリコン基板をアニールする。

【0014】図13（D）に示すように、窒化シリコン層3をストップとし、上方から化学機械研磨（CMP）又はリアクティブイオンエッチング（RIE）により、酸化シリコン層9を除去する。窒化シリコン層3によって画定される凹部内だけにのみ、酸化シリコン層9が残る。この段階で、酸化シリコン緻密化用のアニールを行ってもよい。

【0015】図14（E）に示すように、熱リン酸を用いて窒化シリコン層3を除去する。次に、希フッ酸を用いて、シリコン基板1表面上のバッファ酸化シリコン層2を除去する。この時、トレンチを埋め込む酸化シリコン層9もエッチングされる。

【0016】図14（F）に示すように、シリコン基板1の表面を熱酸化し、表面に犠牲酸化シリコン層22を形成する。犠牲酸化シリコン層を介してシリコン基板1表面層に所望導電型の不純物をイオン注入し、活性化してシリコン基板1に所望導電型のウェル領域10を形成する。

【0017】その後希フッ酸を用い、犠牲酸化シリコン層22は除去する。犠牲酸化シリコン層を除去する際、希フッ酸により酸化シリコン層9もエッチングされる。複数回のフッ酸処理により、トレンチを埋設する酸化シリコン層9はエッチングされ、素子形成領域側部に掘下げられたディボットを形成する。

【0018】図14（G）に示すように、露出したシリコン基板の表面を熱酸化し、所望厚さの酸化シリコン層11を形成し、ゲート絶縁膜とする。シリコン基板1上に多結晶シリコン層12を堆積し、パターニングしてゲート電極を形成する。ウェル領域10と逆導電型の不純物をイオン注入し、活性化してソース／ドレイン領域を形成する。必要に応じ、ゲート電極側壁にサイドウォールスペーサを形成し、再度不純物をイオン注入し、活性化して高濃度ソース／ドレイン領域を形成する。

【0019】図14（H）は、形成されるとトランジスタのドレイン電流対ゲート電圧の特性を示す。横軸がゲート電圧を示し、縦軸がドレイン電流を示す。曲線rが通常のトランジスタの特性を示す。曲線hは、上述の工程で作成されるトランジスタの特性を示し、低いゲート電圧でドレイン電流が立ち上がっている。低い閾値電圧でオンする寄生トランジスタが付加されたものと解釈される。

【0020】図14（G）に示すように、素子分離領域9の肩部がエッチングされてディボットが形成されると、シリコン基板の素子形成領域肩部が上面のみならず

側面からもゲート電極で囲まれる。このような形状となると、ゲート電極に電圧を印加すると、素子形成領域の肩部は、電界集中を受け、より低い閾値電圧を有するトランジスタを形成する。この寄生トランジスタが図 1 4 (H) の曲線 h に示すようなハンプ特性を発生させる。

【0021】さらに、曲線 h は、高いゲート電圧におけるドレイン電流が低下している。トレンチ内に酸化シリコンを埋め込み緻密化のための熱処理を行なうと、酸化シリコン層 9 緻密化すると共に収縮し、この酸化シリコン層 9 で囲まれた素子形成領域は圧縮ストレスを受ける。

【0022】圧縮ストレスが印加されると、シリコン基板 1 の素子形成領域における電子／正孔の移動度が大きく低下し得る。このため、飽和ドレイン電流が低下する。素子の微細化に伴い、素子形成領域が小さくなると、圧縮ストレスの影響は大きくなる。

【0023】B. Davari et al., IEDM 1988 pp. 92-95 は、ハンプ特性を低減するため、素子形成領域の肩部にイオン注入を行なうことを提案している。

【0024】ハンプ特性を改良する他の方法として、素子形成領域の肩部を熱酸化により丸めることも提案されている。肩部を丸めることにより、電界集中が緩和され、寄生トランジスタの影響が減少する。

【0025】Pierre C. Fazan et al., IEDM 1993, pp. 57-60 は、シリコン基板表面から突出した素子分離用酸化シリコン層の側面に絶縁性サイドウォールを形成し、ディボットを埋め込む方法を提案している。

【0026】

【発明が解決しようとする課題】STI による素子分離は、微細化に適しているが、STI 独自の問題も生じる。STI 独自の問題を低減することのできる新たな技術が求められている。

【0027】本発明の目的は、良好なトランジスタ特性が得られる、STI を用いた半導体装置を提供することである。

【0028】本発明の他の目的は、良好なトランジスタ特性を有する半導体装置を製造する方法を提供することである。

【0029】

【課題を解決するための手段】本発明の一観点によれば、半導体素子を形成したシリコン基板と、前記シリコン基板に形成され、表面から次第に幅が狭くなる台形状の断面形状を有し、前記シリコン基板中の活性領域を分離する素子分離用トレンチと、前記トレンチ表面に形成され、1~5 nm の厚さを有する酸化シリコン膜または窒化酸化シリコン膜の第 1 ライナ絶縁層と、前記第 1 ライナ絶縁層の上に形成され、2~8 nm の厚さを有する窒化シリコン膜の第 2 ライナ絶縁層と、前記第 2 ライナ絶

縁層の画定する凹部を埋め込む素子分離領域と、を有する半導体装置が提供される。

【0030】本発明の他の観点によれば、(a) シリコン基板表面上に酸化シリコン膜、窒化シリコン膜を含む研磨用ストップ層を形成する工程と、(b) マスクを用いて前記ストップ層およびシリコン基板をエッチングし、トレンチを形成する工程と、(c) 前記トレンチ内に露出したシリコン基板表面に厚さ 1~5 nm の酸化シリコン膜または窒化酸化シリコン膜の第 1 ライナ絶縁層を形成する工程と、(d) 前記第 1 ライナ絶縁層上に厚さ 2~8 nm の窒化シリコン膜の第 2 ライナ絶縁層を形成する工程と、(e) 前記第 2 ライナ絶縁層の画定する凹部を埋め込んで、前記シリコン基板上に素子分離層を堆積する工程と、(f) 前記ストップ層を研磨用ストップとし、前記素子分離層の不要部を研磨して除去する工程と、(g) 前記ストップ層をエッチングする工程と、を含む半導体装置の製造方法が提供される。

【0031】

【発明の実施の形態】以下、図面を参照して本発明の実施例を説明する。

【0032】図 1 (A)~図 2 (H) は、本発明の実施例による半導体装置の製造方法を概略的に示す断面図である。

【0033】図 1 (A) に示すように、シリコン基板 1 の表面上に、厚さ 9~21 nm、例えば厚さ 10 nm の酸化シリコン層 2 を熱酸化により形成する。酸化シリコン層 2 の上に、厚さ 100~150 nm の窒化シリコン層 3 を低压 (LP) 化学気相堆積 (CVD) により形成する。LPCVD は、例えばソースガスとして SiCl_2H_2 と NH_3 を用い、温度 700℃ で行う。

【0034】窒化シリコン層 3 の上に、レジスト膜を塗布し、露光現像することによりレジストパターン 4 を形成する。レジストパターン 4 は、活性領域 (素子形成領域) 上に形成され、開口部が素子分離領域を画定する。開口部 5 a の幅は、例えば 0.2~1 μm である。

【0035】レジストパターン 4 をエッチングマスクとし、窒化シリコン層 3、酸化シリコン層 2、シリコン基板 1 をエッチングする。シリコン基板 1 は、例えば深さ 0.5 μm エッチングされてトレンチ 6 を形成する。なお、窒化シリコン層、酸化シリコン層のエッチングは、 CF_4 、 CHF_3 、Ar の混合ガスをエッチングガスとして用いる。シリコン基板 1 のエッチングは、 HBr 、 O_2 の混合ガス、又は Cl_2 、 O_2 の混合ガスをエッチングガスとして用いる。

【0036】このエッチング条件によれば、形成されるトレンチ 6 の側面が傾斜する。傾斜を設けることにより、活性領域の肩部における電界集中を緩和させることができる。その後レジストパターン 4 は除去する。

【0037】図 1 (B) に示すように、トレンチ 6 の表面に露出したシリコン基板表面を熱酸化して厚さ 1~5

nmの酸化シリコン層7を形成する。トレンチ6内に露出していたシリコン表面は、全て酸化シリコン層7により覆われる。厚さ2~8nmの窒化シリコン層は、窒化シリコンのエッチングに用いられる熱リン酸が侵入し難い厚さである。

【0038】図1(C)に示すように、酸化シリコン層7、窒化シリコン層3の表面を覆うように、窒化シリコン層8をLPCVDにより形成する。窒化シリコン層8の厚さは、2~8nmとする。厚さ2~8nmの窒化シリコン層は、窒化シリコンのエッチングに用いられる熱リン酸が侵入し難い厚さである。

【0039】LPCVDは、 SiCl_2H_2 、 NH_3 の混合ガスをソースガスとし、温度650℃程度で行う。このような熱CVDにより形成される窒化シリコン層は、1GPa以上の引張り(tensile)応力を有する。この応力は、後述する緻密化の熱処理を行った埋設酸化シリコン層の応力と逆方向である。厚さ1~5nmの酸化シリコン層は、酸化シリコン層のエッチングに用いられる希フッ酸が侵入し難い厚さである。

【0040】図1(D)に示すように、窒化シリコン層8を形成した基板の上に例えば高密度プラズマ(HDP)CVDにより、酸化シリコン層9を形成し、トレンチ内を埋め込む。なお、深さ0.5μmのトレンチを形成した場合、酸化シリコン層9の厚さは、平坦部で0.6~1μm程度に選択する。

【0041】酸化シリコン層の形成は、 SiH_4 と酸素の混合ガス、又は TEOS とオゾンの混合ガスをソースガスとして行う。酸化シリコン層9の成長後、約1000℃のアニールを行ない、酸化シリコン層9を緻密化する。アニールを経たトレンチ内の酸化シリコン層9の膜質は熱酸化膜とほぼ同じになる。緻密化された酸化シリコン層は、圧縮応力を生じるが、この圧縮応力と窒化シリコン層の引伸ばし応力は逆方向であり、圧縮応力は引張り応力により相殺される。圧縮応力による移動度の低下が低減される。

【0042】図2(E)に示すように、シリコン基板表面から化学機械研磨(CMP)を行い、窒化シリコン層3、8表面より上の酸化シリコン層9の不要部を除去する。CMPは、回転する上下の定盤の間にシリコン基板を挟んで行う。上下の定盤の回転速度を例えばそれぞれ20rpm、上下の常盤間の圧力を例えば5psi、バックプレッシャーを例えば5psiとし、研磨剤としてコロイダルシリカを主成分とするスラリー、又は酸化セリウム系スラリーを用いる。

【0043】このような研磨条件の場合、窒化シリコン層3のエッチングレートは小さく、窒化シリコン層3が研磨のストッパとして機能する。研磨を終えた状態では、酸化シリコン層9と窒化シリコン層3がほぼ面一となり、酸化シリコン層9は窒化シリコン層3が画定する開口部内にのみ残る。なお、窒化シリコン層3上の酸化

シリコン層9をCMPで除去する場合を説明したが、 CF_4 と CHF_3 の混合ガスを用いたRIEを用いてもよい。

【0044】図2(F)に示すように、窒化シリコン層3を熱リン酸によりエッチングする。窒化シリコン層3の側壁上の窒化シリコン層8も同時にエッチングされる。窒化シリコン層3が除去されると、シリコン基板1と埋め込み酸化シリコン層9との間の窒化シリコン層8の上部も露出する。

【0045】窒化シリコン層8の厚さが2~8nmと薄く設定されているため、比較的粘性の高い熱リン酸は、この狭い間隙に入り込むことが難しく、酸化シリコン層7と9に挟まれた窒化シリコン層8はほとんどエッチングされない。

【0046】熱リン酸により窒化シリコン層3及びその側壁上の窒化シリコン層8が除去されると、図に示すように酸化シリコン層9の上部がシリコン基板1上に突起する。

【0047】その後、シリコン基板1表面上の酸化シリコン層2を希フッ酸により除去する。この時、突起状酸化シリコン層9も若干エッチングされる。

【0048】トレンチ表面に形成された酸化シリコン層7の底部も露出する。酸化シリコン層7の厚さが1~5nmと薄く設定されているため、希フッ酸はこの狭い間隙に入り込みことが難しく、酸化シリコン層はほとんどエッチングされない。

【0049】図2(G)に示すように、シリコン基板1の表面を熱酸化して犠牲酸化膜22を成長する。

【0050】犠牲酸化膜をスルー酸化膜として用い、シリコン基板1表面領域にイオン注入を行ない、イオン注入された不純物を活性化して所定導電型のウエル10を形成する。例えばn型ウエルとp型ウエルとをレジストマスクを用いた別個のイオン注入で形成する。ウエル10を形成した後、犠牲酸化膜を希フッ酸により除去する。

【0051】複数回のフッ酸エッチングにより、酸化シリコン層9の突起部はエッチングされ、活性領域肩部側方に凹みが形成される。しかしながら、窒化シリコン層8と酸化シリコン層7は、ほとんどエッチングされず、活性領域の側面を覆っている。

【0052】なお、希フッ酸よりも粘性の高い NH_4F を混合した緩衝フッ酸を用いることにより、酸化シリコン層7のエッチングをさらに安全に低減することができ

る。【0053】図2(H)に示すように、犠牲酸化膜を除去し、露出したシリコン基板1表面を熱酸化することにより、例えば厚さ2nmのゲート絶縁膜11を形成する。ゲート酸化膜11の形成前には、熱酸化膜を20nmエッチングする程度希フッ酸エッチングが行われる。多結晶シリコン層12を基板上に形成し、パターンニング

することによりゲート電極を作成する。その後、ウェル 10 と逆導電型の不純物をイオン注入し、ゲート電極両側にソース／ドレイン領域を形成する。必要に応じ、ゲート電極側壁上にサイドウォールスペーサを形成し、さらに不純物をイオン注入し、活性化して高濃度ソース／ドレイン領域を形成する。

【0054】図 3 (A) は、素子分離領域 9 により画定された活性領域 AR と、シリコン基板表面表面に形成されたゲート電極 1 2 の形状を示す平面図である。図 1

(A) ～図 2 (H) は、B-B' 線に沿う断面図に相当する。各活性領域 AR は素子分離領域 9 により囲まれている。2 つの活性領域により CMOS インバータが構成される。

【0055】なお、この状態はサイドウォールスペーサが形成前である。この後、さらにウェル領域と逆導電型の不純物をイオン注入し、高濃度ソース／ドレイン領域を形成する。

【0056】図 3 (B) は、図 3 (A) の A-A' 線に沿う断面図を示す。ゲート電極の側壁上にサイドウォールスペーサ SW が形成され、ゲート電極両側にソース／ドレイン領域 S/D が形成されている。ゲート電極 1 2、ソース／ドレイン領域 S/D の上にシリサイド層 1 3 が形成されている。酸化シリコン層 7、窒化シリコン 8 はそれぞれ厚さが極めて薄く設定され、エッチャントの侵入を防止するため、その上部がほとんどエッチングされず残っている。

【0057】窒化シリコン層 8 がシリコン基板表面からほとんど引き下がっていないため、窒化シリコン層 8 の発生する引っ張り応力がチャンネル領域に有効に働く。

【0058】図 4 (A) は、上述の工程により形成された n 型 NOST ランジスタの特性を示す。ゲート長、ゲート幅がそれぞれ $1\mu\text{m}$ のサンプルで測定した。曲線 p が従来技術によるランジスタの特性を示し、曲線 s が実施例によるランジスタの特性を示す。飽和ドレイン電流が向上し、従来の圧縮ストレスによる移動度低下が窒化膜の引張応力により緩和されたことが確認された。飽和ドレイン電流は 5% 向上している。又、寄生 MOS トランジスタの存在が確認されず、ハンプが防止されていることが確認された。さらに、逆狭チャンネル効果を調べた。

【0059】図 4 (B) が、測定結果を示すグラフである。曲線 p が従来技術による特性を示し、曲線 s が実施例による結果を示す。従来技術によれば、ゲート幅を狭くしていくと、閾値が次第に減少し、逆狭チャンネル効果が発生している。これに対して実施例による曲線 s は、ゲート幅を狭くしてもほとんど閾値は減少せず、逆狭チャンネル高が防止されていることが分かる。この結果は、寄生 MOS トランジスタ寄与が小さいためと考えられる。

【0060】なお、トレンチにライナー窒化シリコン膜

を形成し、その上部がエッチングによって半導体基板表面から下方に移動した場合、窒化シリコン膜の頂部の沈み込み量に対するチャンネル部の引っ張り強度をシミュレーションによって求めた。

【0061】図 5 (A) は、活性領域内チャンネル部の引っ張り強度が側壁窒化膜がシリコン表面から沈み込む量によってどのように変化するかを示すグラフである。窒化シリコン膜が半導体基板表面まで存在する場合が 0 であり、半導体基板表面から沈み込むに従って沈み込み量は増加する。チャンネル部の引っ張り強度は、窒化シリコン膜の沈み込み量と共に減少し、約 30nm 以上沈み込むと、その効果はほとんど消滅すると考えられる。

【0062】逆に言えば、半導体基板表面からの窒化シリコン膜の沈み込み量を制限することにより、活性領域のチャンネル部に有効に引っ張り強度を付与することができると考えられる。沈み込み量を約 10nm 以下にすることにより、チャンネル部に効果的に引っ張り応力を与えることができる。

【0063】又、ソース／ドレイン方向のソース領域及びドレイン領域の幅 (SD 幅) に対する飽和ドレイン電流の変化を調べた。

【0064】図 5 (A) は、飽和ドレイン電流の SD 幅に対する変化を示すグラフである。従来技術によれば、SD 幅が減少するに従い、飽和ドレイン電流 I_{ds} が減少している。これに対し、本実施例に従うと、SD 幅が減少しても飽和ドレイン電流 I_{ds} はほぼ一定の値に保たれている。

【0065】上述の実施例においては、トレンチの底面から側壁上にライナ窒化シリコン膜を形成した。ライナ窒化シリコン膜 5 を、活性領域の上面上にまで延在させることもできる。

【0066】図 6 (A) ～ (D) は、本発明の他の実施例による半導体装置の製造方法の主要工程を示す断面図である。

【0067】まず、図 1 (A) に示す工程と同様の工程を行い、レジストパターンをエッチングマスクとし、窒化シリコン層 3、酸化シリコン層 2、半導体基板 1 をエッチングし、半導体基板中にトレンチ 6 を形成する。

【0068】図 6 (A) に示すように、希フッ酸溶液を用い、酸化シリコン膜 2 をサイドエッチングし、窒化シリコン膜 3 の側壁から 10nm 程度後退させる。レジストパターンは、このサイドエッチングの前に除去しても後に除去してもよい。

【0069】図 6 (B) に示すように、前述の実施例同様、トレンチに露出したシリコン基板表面を熱酸化して厚さ $1\sim 5\text{nm}$ の酸化シリコン層 7 を形成し、その後図 1 (C) に示す工程と同様厚さ $2\sim 8\text{nm}$ の窒化シリコン膜を CVD で基板表面上に形成する。

【0070】なお、酸化シリコン層 2 の厚さは、窒化シリコン層 8 の堆積を終えた後も、酸化シリコン層 2 の引

き込み部分が埋め戻されないように選択する。例えば、酸化シリコン層 2 の厚さを 15 nm とし、酸化シリコン膜 7 の厚さと窒化シリコン膜 8 の厚さの 2 倍の総和が 15 nm 未満となるようにする。

【0071】図 6 (B) に示すように、例えば HDP-CVD によりトレンチを埋め込んで酸化シリコン層 9 を堆積する。その後、図 2 (E) に示す工程と同様、CMP を行ない窒化シリコン層 3、8 表面より上の酸化シリコン層 9 を除去する。又、トレンチを埋め込む酸化シリコン層 9 を緻密化させるためアニーリングを行なう。

【0072】図 6 (C) に示すように、窒化シリコン層 3 を熱リン酸によりエッチングして除去する。窒化シリコン層 3 に接している窒化シリコン層 8 も同時に除去されるが、酸化シリコン層 2 と酸化シリコン層 9 に挟まれた窒化シリコン層 8 は、厚さが 2~8 nm に設定されているため、ほとんどエッチングされず残る。すなわち、シリコン基板 1 の活性領域肩部上には、酸化シリコン層 7、窒化シリコン層 8 の積層が残る。その後、前述の実施例同様酸化シリコン層 2 を除去し、犠牲酸化膜を成長し、イオン注入、活性化を行なう。

【0073】図 6 (D) に示すように、犠牲酸化膜を除去し、新たにゲート酸化膜 11 を形成した後、多結晶シリコン層 12 を堆積し、パターンニングしてゲート電極を作成する。

【0074】本実施例によれば、活性領域の肩部上には、酸化シリコン層 7、窒化シリコン層 8 が積層したまま残る。このため、その上に形成される多結晶ゲート電極 12 は、ゲート絶縁膜よりも厚い絶縁膜を介して活性領域の肩部と対向する。このため、電界集中が緩和される。

【0075】活性領域の肩部に酸化シリコン層と窒化シリコン層の積層を残す方法は、上述の実施例に限らない。

【0076】図 7 (A) ~ (D) は、本発明のさらに他の実施例による半導体装置の製造方法の主要工程を示す断面図である。

【0077】図 7 (A) に示すように、トレンチを形成するエッチングを行った後、半導体基板 1 のトレンチ表面を熱酸化し、厚さ 1~5 nm 酸化シリコン層 7 を形成する。次に、熱リン酸で窒化シリコン層 3 を例えば 10 nm 程度エッチングする。酸化シリコン層 2、7 はエッチングされないため、窒化シリコン層 3 のみがエッチングされ、酸化シリコン層側壁から窒化シリコン層 3 が例えば 10 nm 程度後退する。窒化シリコン層 3 の側壁を後退させた後、厚さ 2~8 nm の窒化シリコン層 8 を成膜する。

【0078】図 7 (B) に示すように、半導体基板表面に酸化シリコン層 9 を、例えば HDP-CVD により堆積し、トレンチ内を埋め込む。基板 1 の活性領域肩部は、酸化シリコン層 2 の一部、酸化シリコン層 7 の一部

及び窒化シリコン層 8 によって覆われており、その上に酸化シリコン層 9 が堆積している。

【0079】その後 CMP を行ない、窒化シリコン層 3 表面より上の酸化シリコン層 9 を除去する。

【0080】図 7 (C) に示すように、熱リン酸を用い窒化シリコン層 3 をエッチングする。窒化シリコン層 3 及び窒化シリコン層に接している部分の窒化シリコン層 8 が除去されるが、酸化シリコン層 9 と酸化シリコン層 2、7 に挟まれた窒化シリコン層 8 は、前述の実施例同様熱リン酸が浸透しないため残る。

【0081】その後前述の実施例同様、酸化シリコン層 2 を除去し、犠牲酸化膜を成長し、イオン注入、活性化を行ない、犠牲酸化膜を除去する。

【0082】図 7 (D) に示すように、露出した活性領域表面にゲート酸化膜 11 を形成する。酸化シリコン層 9 は、活性領域の肩部でエッチングにより形成された窪みを有するが、活性領域肩部は酸化シリコン層と窒化シリコン層 8 で覆われた状態を保っている。その後多結晶シリコン層を堆積し、パターンニングすることによってゲート電極を作成する。図 6 の実施例同様、活性領域の肩部は酸化シリコン層と窒化シリコン層の積層により覆われているため、ゲート電極に電圧を印加しても発生する電界集中が緩和する。

【0083】以上の実施例においては、トレンチの表面を酸化シリコン層と窒化シリコン層の積層で形成したライナー絶縁層により覆った。ライナー絶縁層は、単層で形成することもできる。

【0084】図 9 (A) ~ 図 10 (H) は、本発明の他の実施例による半導体装置の製造方法の主要工程を示す断面図である。

【0085】図 8 (A) に示すように、トレンチを形成するエッチングを行った後、シリコン酸化膜 2 のサイドエッチングを行いシリコン酸化膜 2 の側壁を窒化シリコン層 3 の側壁から約 10 nm 程度後退させる。この工程は、図 6 (A) に示した工程と同様である。但し、酸化シリコン層 2 の厚さに対する制限条件は異なる。

【0086】図 8 (B) に示すように、例えばケミカルドライエッチングを行ない、活性領域の肩部とトレンチ底の角部の丸めを行う。このドライエッチングによりトレンチ表面層が除去され、エッチングのダメージ層が除去される。活性領域の肩部は、酸化シリコン層 2 の後退距離とほぼ等しい曲率半径を有する円形断面の形状に丸め込まれる。ドライエッチング後のシリコン表面は、欠陥の少ない清浄な表面となる。

【0087】図 8 (C) に示すように、半導体基板の表面上に CVD により厚さ 2~8 nm の窒化シリコン層 8 を形成する。酸化シリコン層 2 の厚さは窒化シリコン層 8 の厚さの 2 倍を越える厚さであれば引き込み部が埋め戻されることが防止される。例えば、酸化シリコン層 2 の厚さを 15 nm とし、窒化シリコン層 8 の厚さを 5 n

mとする。

【0088】図8(D)に示すように、窒化シリコン膜8を形成した後、酸化シリコン層9を堆積してトレンチを埋め込む。

【0089】図9(E)に示すように、窒化シリコンを研磨ストップとし、酸化シリコン層9のCMPを行う。酸化シリコン層9の表面を平坦化した後、埋め込み酸化膜を緻密化させるためのアニールを、例えばN₂雰囲気中1000℃で30分間行う。

【0090】図9(F)に示すように、熱リン酸を用いて窒化シリコン層3のエッチングを行なう。シリコン基板1と酸化シリコン層9に挟まれた領域及び酸化シリコン層2と酸化シリコン層9に挟まれた領域においては、熱リン酸が浸透できず、窒化シリコン層8が残る。

【0091】図9(G)に示すように、酸化シリコン層2を除去し、犠牲酸化膜を成長し、イオン注入、活性化を行ない、犠牲酸化膜を除去した後、新たにゲート酸化膜11を熱酸化により形成する。酸化シリコン膜除去の希フッ酸の処理により、酸化シリコン層9の上部がエッチングされるが、活性領域の肩部を覆う窒化シリコン層8は残る。

【0092】図9(H)に示すように、ゲート酸化膜11を覆うように多結晶シリコン層12を堆積し、パターニングしてゲート電極を作成する。活性領域肩部は丸められており、ゲート電極に電圧を印加しても電界集中の起きる程度が低減されている。

【0093】以上の実施例においては、シリコン基板表面上に酸化シリコン層と窒化シリコン層を形成し、窒化シリコン層をCMPストップ層として用いた。半導体基板表面上にその他の構成の積層を形成することもできる。

【0094】図10(A)～図12(K)は、本発明のさらに他の実施例による半導体装置の製造方法の主要工程を示す断面図である。

【0095】図10(A)に示すように、半導体基板1表面上に前述の実施例同様の酸化シリコン層2を形成した後、その上にアモルファスシリコン層2aを形成する。アモルファスシリコン層2aの上に、前述の実施例同様の窒化シリコン層3を形成し、その表面上にホトレジスト層を塗布し、露光現像することによりレジストパターン4を作成する。

【0096】図10(B)に示すように、レジストパターン4をエッチングマスクとし、窒化シリコン層3、アモルファスシリコン層2a、酸化シリコン層2をエッチングし、さらにシリコン基板をエッチングしてトレンチ6を形成する。

【0097】図10(C)に示すように、アモルファスシリコン層2aを選択的にサイドエッチングする。例えば、HF+HNO₃+H₂Oや、HF+NH₄OH+H₂O₂+H₂Oを用い、液相の等方エッチングを行いアモル

ファスシリコン層2aの側面を後退させる。なお、このエッチングにおいては、アモルファスシリコン層と結晶シリコン層とのエッチングの選択比の違いによりシリコン基板1はほとんどエッチングされない。

【0098】図10(D)に示すように、露出しているシリコン表面の酸化を行なう。アモルファスシリコン層に酸化シリコン層7aが形成され、シリコン基板に酸化シリコン層7が形成される。なお、酸化に代え窒化酸化を行ってもよい。形成する酸化層又は窒化酸化層の厚さは、後の酸化シリコンエッチングにおいてエッチング液が浸透し難い厚さに設定する。窒化酸化層は、酸化層よりもエッチングレートが小さく、エッチングにより後退する程度が低くできる。

【0099】図11(E)に示すように、基板全表面上に窒化シリコン層8を例えば厚さ5nmCVDにより形成する。窒化シリコン層8の厚さは熱リン酸のエッチングにおいて熱リン酸が浸透し難い厚さに選択する。

【0100】図11(F)に示すように、トレンチを埋め込むように酸化シリコン層9の堆積を行なう。図に示すように、活性領域の肩部は酸化シリコン層7と窒化シリコン層8の積層で覆われ、その上を酸化シリコン層9が覆っている。

【0101】図11(G)に示すように、CMPを行い窒化シリコン層3より上の酸化シリコン層9を除去する。なお、図には窒化シリコン層の一部も除去された状態を示しているが、窒化シリコン層31が現れ、消滅しない程度にCMPを行えばよい。

【0102】図11(H)に示すように、熱リン酸を用いて窒化シリコン層を除去する。このエッチングにおいて、露出している窒化シリコン層3及びそれに接した部分の窒化シリコン層8が除去されるが、窒化シリコン層8の厚さが熱リン酸が浸透し難い厚さに選択されているため、表面から引き下がる距離は制限される。

【0103】図12(I)に示すように、NH₃+H₂O+イソプロピルアルコール(IPA)を用い、アモルファスシリコン層2aをエッチングする。

【0104】図12(J)に示すように、酸化シリコン層2及び7aを除去する。このエッチングにおいて、酸化シリコン層9の表面も若干エッチングされる。その後、犠牲酸化膜を形成し、イオン注入、活性化を行なってウエル10を形成する。さらに、犠牲酸化膜を除去し、露出した活性領域表面にゲート酸化膜を形成する。酸化シリコン層のエッチングにおいて、酸化シリコン層9表面もエッチングされる。

【0105】図12(K)に示すように、ゲート絶縁膜11を覆うように、多結晶シリコン層を形成し、パターニングしてゲート電極12を形成する。活性領域の肩部は、酸化シリコン層7、窒化シリコン層8で覆われた状態を保ち、さらに条件によりその上に酸化シリコン層9の一部が残る。ゲート絶縁膜12はその上に形成される

ため、ゲート電極に電圧を印加しても、活性領域肩部の電界集中は緩和されている。

【0106】以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば種々の変更、改良、組合わせが可能なのは当業者に自明であろう。

【0107】以下、本発明の特徴を付記する。

(付記1) (1) 半導体素子を形成したシリコン基板と、前記シリコン基板に形成され、表面から次第に幅が狭くなる台形状の断面形状を有し、前記シリコン基板中の活性領域を分離する素子分離用トレンチと、前記トレンチ表面に形成され、1～5 nmの厚さを有する酸化シリコン膜または窒化酸化シリコン膜の第1ライナ絶縁層と、前記第1ライナ絶縁層の上に形成され、2～8 nmの厚さを有する窒化シリコン膜の第2ライナ絶縁層と、前記第2ライナ絶縁層の画定する凹部を埋め込む素子分離領域と、を有する半導体装置。

【0108】(付記2) (2) 前記第2ライナ絶縁層の上端が、前記シリコン基板の表面から約10 nm以下の距離引き下がっている付記1記載の半導体装置。

【0109】(付記3) (3) 前記第1ライナ絶縁層および第2ライナ絶縁層が、前記トレンチの側壁から前記活性領域の上面に延びている付記1記載の半導体装置。

【0110】(付記4) 前記素子分離領域が、前記活性領域上方で前記第2ライナ絶縁層上に延在する部分を有する付記3記載の半導体装置。

【0111】(付記5) 前記第2ライナ絶縁層が前記素子分離領域の前記延在する部分の側壁上に延在する部分を有する付記4記載の半導体装置。

【0112】(付記6) 前記第2ライナ絶縁層が1 GPa以上の引張応力を有する付記1～5のいずれか1項記載の半導体装置。

【0113】(付記7) (4) 半導体素子を形成したシリコン基板と、前記シリコン基板に形成され、表面から次第に幅が狭くなる略台形状であって、上部が滑らかに外側に広がる断面形状を有し、前記シリコン基板中に肩部が丸められた活性領域を画定し、該活性領域を分離する素子分離用トレンチと、前記トレンチ表面上方に形成され、2～8 nmの厚さを有する窒化シリコン膜のライナ絶縁層と、前記ライナ絶縁層の画定する凹部を埋め込む素子分離領域と、を有する半導体装置。

【0114】(付記8) 前記活性領域の肩部の断面形状がほぼ円の一部を形成する付記7記載の半導体装置。

【0115】(付記9) 前記ライナ絶縁層が1 GPa以上の引張応力を前記活性領域に与える付記7または8記載の半導体装置。

【0116】(付記10) 前記トレンチの表面と前記ライナ絶縁層との間に酸化シリコンの下地ライナ層を有する付記7～9のいずれか1項に記載の半導体装置。

【0117】(付記11) (5) (a) シリコン基板表面上に酸化シリコン膜、窒化シリコン膜を含む研磨用ストッパ層を形成する工程と、(b) マスクを用いて前記ストッパ層およびシリコン基板をエッチングし、トレンチを形成する工程と、(c) 前記トレンチ内に露出したシリコン基板表面に厚さ1～5 nmの酸化シリコン膜または窒化酸化シリコン膜の第1ライナ絶縁層を形成する工程と、(d) 前記第1ライナ絶縁層上に厚さ2～8 nmの窒化シリコン膜の第2ライナ絶縁層を形成する工程と、(e) 前記第2ライナ絶縁層の画定する凹部を埋め込んで、前記シリコン基板上に素子分離層を堆積する工程と、(f) 前記ストッパ層を研磨用ストッパとし、前記素子分離層の不要部を研磨して除去する工程と、(g) 前記ストッパ層をエッチングする工程と、を含む半導体装置の製造方法。

【0118】(付記12) (6) 前記工程(b)と(c)の間に、(h) 前記ストッパ層の酸化シリコン膜をサイドエッチングして引き込み部を形成する工程を含む付記11記載の半導体装置の製造方法。

【0119】(付記13) (7) 前記工程(c)、(d)が前記引込部を埋め戻さないように前記ストッパ層の酸化シリコン膜、第1ライナ絶縁層、第2ライナ絶縁層の厚さが選択されている付記12記載の半導体装置の製造方法。

【0120】(付記14) (8) 前記工程(b)と(c)の間に、(i) 前記ストッパ層の窒化シリコン膜をエッチングして後退させ、下の酸化シリコン膜の上面を一部露出する工程、を含む付記11記載の半導体装置の製造方法。

【0121】(付記15) (9) 前記ストッパ層が、酸化シリコン膜、アモルファスシリコン膜、窒化シリコン膜を含み、前記工程(b)と(c)の間に、(j) 前記アモルファスシリコン膜をサイドエッチして引込部を形成する工程、を含む付記11記載の半導体装置の製造方法。

【0122】(付記16) 前記工程(d)が、1 GPa以上の引張応力を有する窒化シリコン膜を形成する付記11～15のいずれか1項記載の半導体装置の製造方法。

【0123】(付記17) 前記工程(g)が、熱リン酸を用いて前記ストッパ層の窒化シリコン膜をエッチングする工程を含む付記11～16のいずれか1項記載の半導体装置の製造方法。

【0124】(付記18) 前記工程(g)が、希フッ酸又は緩衝フッ酸を用いて前記ストッパ層の酸化シリコン膜をエッチングする工程を含む付記11～17のいずれか1項記載の半導体装置の製造方法。

【0125】(付記19) (10) (a) シリコン基板表面上に酸化シリコン膜、窒化シリコン膜を含む研磨用ストッパ層を形成する工程と、(b) マスクを用いて

10

20

30

40

50

前記ストッパ層およびシリコン基板をエッチングし、活性領域を画定する素子分離領域にトレンチを形成する工程と、(c) 前記ストッパ層の酸化シリコン膜をサイドエッチングし、端部を後退させる工程と、(d) シリコンに対し、エッチングを行い、前記後退した端部によって露出した前記活性領域肩部を丸める工程と、(e) 前記シリコン基板上に厚さ 2~8 nm の窒化シリコン膜のライナ絶縁層を形成する工程と、(f) 前記ライナ絶縁層の画定する凹部を埋め込んで、前記シリコン基板上に素子分離層を堆積する工程と、(g) 前記ストッパ層を研磨用ストッパとし、前記素子分離層の不要部を研磨して除去する工程と、(h) 前記ストッパ層をエッチングする工程と、を含む半導体装置の製造方法。

【0126】(付記 20) 前記工程(e)が、1 GPa 以上の引張応力を有する窒化シリコン膜を形成する付記 19 記載の半導体装置の製造方法。

【0127】(付記 21) 前記工程(h)が、熱リン酸を用いて前記窒化シリコン膜をエッチングする工程を含む付記 19 記載の半導体装置の製造方法。

【0128】

【発明の効果】以上説明したように、本発明によれば、STI を用い、かつ活性領域肩部での電界集中が緩和された半導体装置及びその製造方法が提供される。

【0129】窒化シリコン膜をトレンチの少なくとも側壁上に残すことにより、活性領域のチャネル部に引張り応力が印加され、移動度の減少が緩和される。

【0130】ハンプの発生及び逆狭チャネル効果が抑制される。

【図面の簡単な説明】

【図 1】 本発明の実施例による半導体装置の製造方法を説明するための断面図である。

【図 2】 本発明の実施例による半導体装置の製造方法を説明するための断面図である。

【図 3】 図 1、2 に示す実施例により作成される半導体装置の平面図及び断面図である。

【図 4】 図 1、2 に示す実施例により作成される半導体装置の特性を従来技術によるトランジスタの特性と比

較して示すグラフである。

【図 5】 トレンチ側面に残される窒化シリコン膜の効果を示すグラフ及び飽和ドレイン電流のソース/ドレイン幅に対する依存性を示すグラフである。

【図 6】 本発明の他の実施例による半導体装置の製造方法を説明するための断面図である。

【図 7】 本発明のさらに他の実施例による半導体装置の製造方法を説明するための断面図である。

【図 8】 本発明の他の実施例による半導体装置の製造方法を説明するための断面図である。

【図 9】 本発明の他の実施例による半導体装置の製造方法を説明するための断面図である。

【図 10】 本発明の他の実施例による半導体装置の製造方法を説明するための断面図である。

【図 11】 本発明の他の実施例による半導体装置の製造方法を説明するための断面図である。

【図 12】 本発明の他の実施例による半導体装置の製造方法を説明するための断面図である。

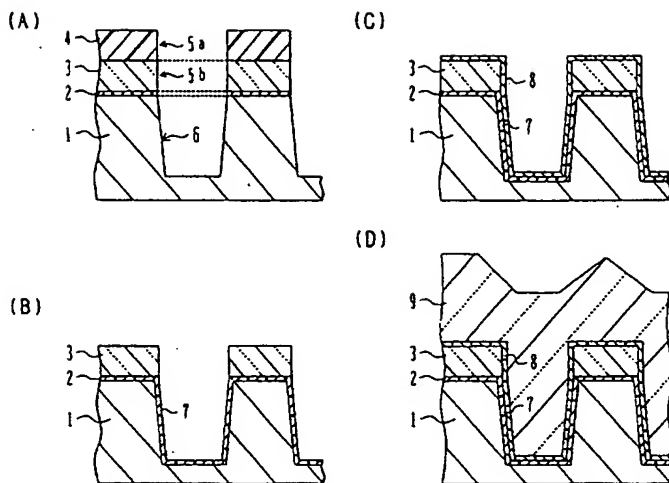
【図 13】 従来技術による半導体装置の製造方法を説明するための断面図である。

【図 14】 従来技術による半導体装置の製造方法を説明するための断面図である。

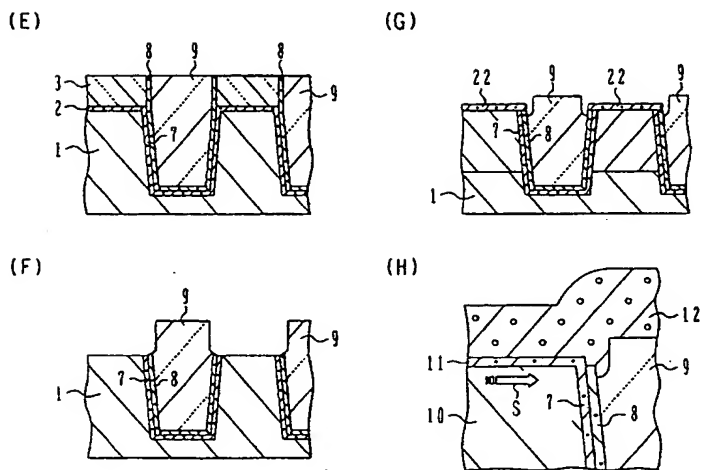
【符号の説明】

- 1 半導体基板
- 2 酸化シリコン層
- 3 窒化シリコン層
- 4 レジストパターン
- 5 開口部
- 6 トレンチ
- 7 酸化シリコン層
- 8 窒化シリコン層
- 9 酸化シリコン層
- 10 ウェル
- 11 ゲート酸化膜
- 12 多結晶シリコン層
- 2a アモルファスシリコン層

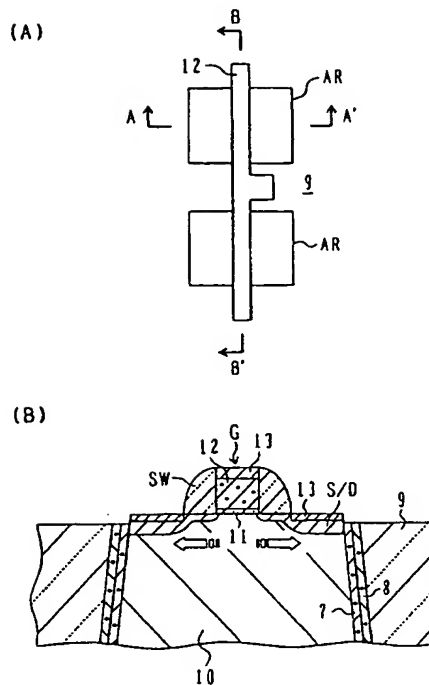
【図1】



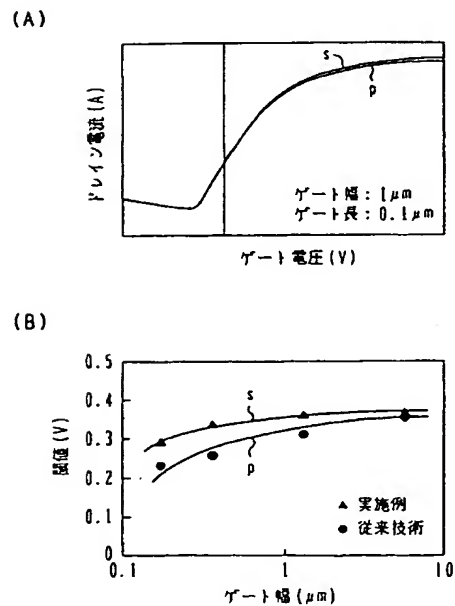
【図2】



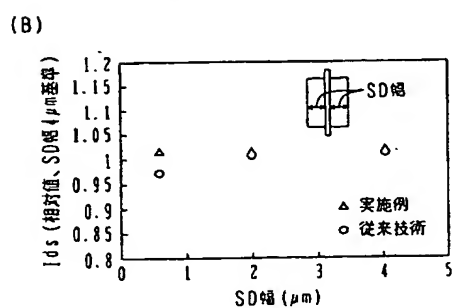
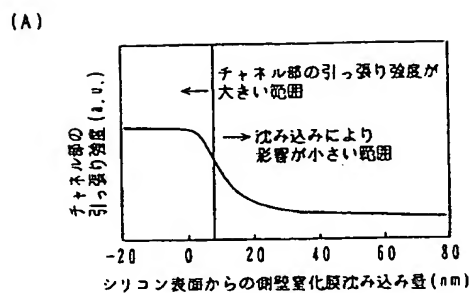
【図3】



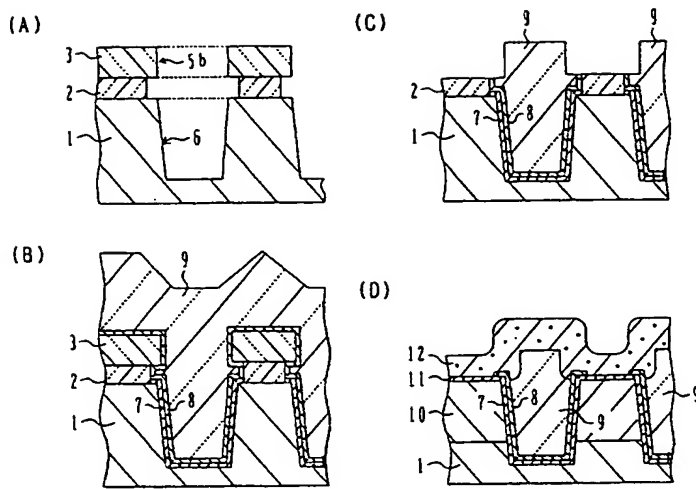
【図4】



【図5】

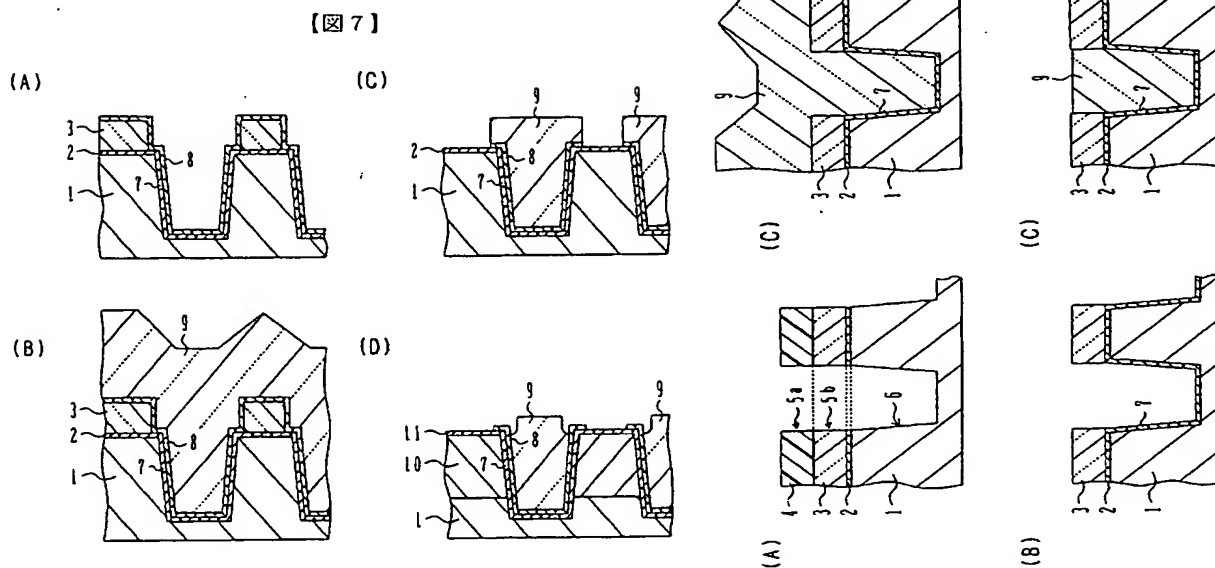


【図6】

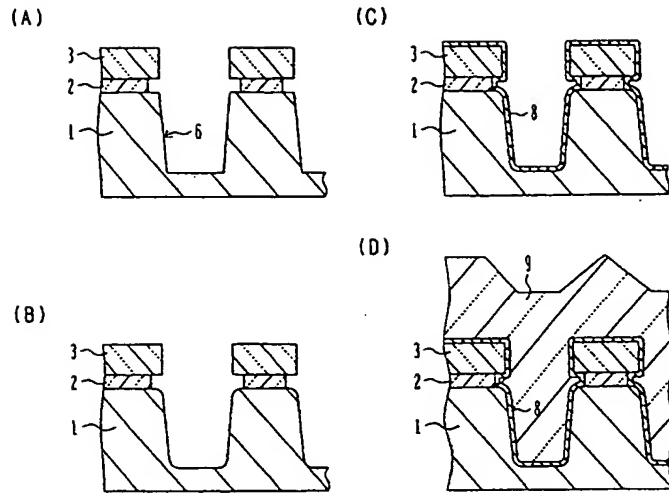


【図13】

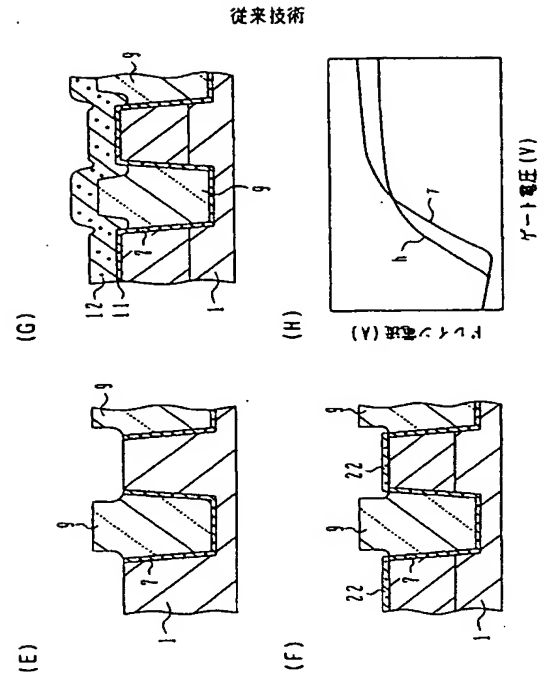
従来技術



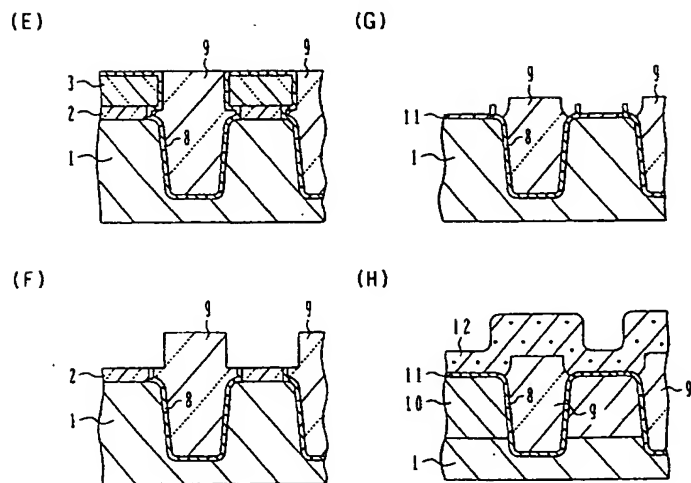
【図8】



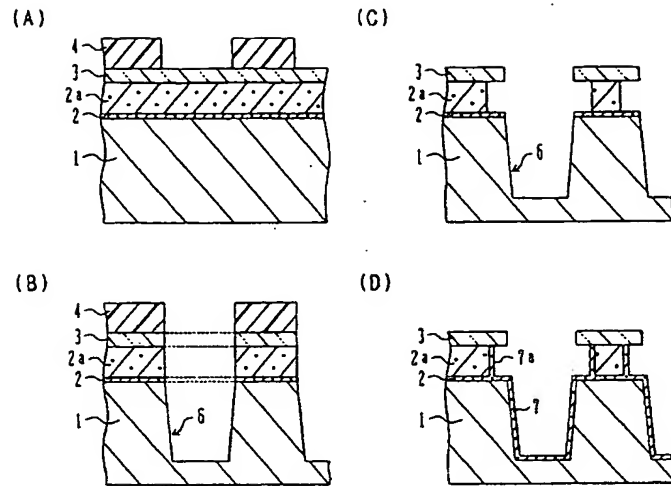
【図14】



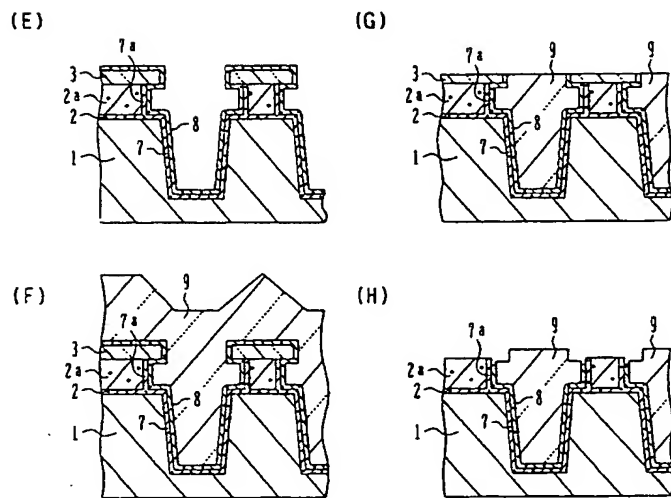
【図9】



【図 10】

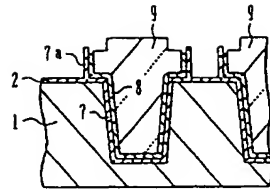


【図 11】

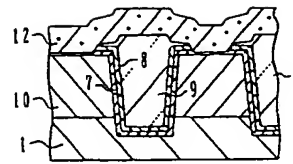


【図 12】

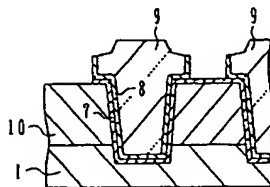
(I)



(K)



(J)



フロントページの続き

Fターム(参考) 5F032 AA40 AA44 AA45 AA46 AA77
 CA03 CA17 CA20 DA03 DA04
 DA23 DA24 DA25 DA27 DA28
 DA33 DA34 DA53
 5F048 AA04 AA07 AB04 BA01 BB05
 BB08 BB12 BC06 BE04 BF06
 BG14 DA23